

edaWorkshop und CATRENE DTC 2013 – Ein Rückblick

Von Jürgen Haase, Peter Neumann, Rafi Popp, Dieter Treytnar und Andreas Vörg



Erneut fand der edaWorkshop wie schon 2009 und 2011 zusammen mit der CATRENE Design Technology Conference (DTC) in Dresden statt. Die Veranstaltung zog wieder einmal mehr als 100 Teilnehmer an, die an drei Tagen sechs Keynotes, eine Podiumsdiskussion sowie 21 Fachvorträge in 8 Sessions und eine umfangreiche Poster- und Demonstratoren-Ausstellung geboten bekamen. Die Themen beinhalteten sowohl detaillierte Erkenntnisse aus der nationalen und europäischen Projektarbeit, als auch Forschungsarbeiten außerhalb der Förderprojekte. Diese Mischung aus wissenschaftlichen und anwendungsorientierten Beiträgen lieferte wie schon in den Vorjahren einen guten Überblick über den derzeitigen Stand der deutschen und europäischen EDA-Forschung. Von einigen Höhepunkten der Veranstaltung wird in diesem Artikel berichtet.

Begrüßung – Helmut Warnecke – Infineon, Dresden „Welcome remarks“

Bereits am frühen Morgen des 14. Mai war der Konferenzraum sehr gut gefüllt, als Helmut Warnecke, Geschäftsführer von Infineon Technologies Dresden und Mitglied des Vorstands von Silicon Saxony, die mehr als 100 registrierten Teilnehmer willkommen hieß.



Abbildung 3.02: Helmut Warnecke von Infineon, Dresden begrüßt die edaWorkshop-Teilnehmer

Mit spürbarer Begeisterung für die Stadt Dresden (er lebt dort seit mehr als 14 Jahren) präsentierte er eindrucksvolle Zahlen über den europaweit führenden Mikroelektronikstandort Dresden: Jeder zweite in Europa produzierte Chip sei „Made in Saxony“, von mehr als 51.000 Mitarbeitern in ca. 2.100 Unternehmen werden u. a. Material und Equipment für die Chip-Fertigung bereitgestellt, ICs entworfen und gefertigt und mit diesen ICs schließlich Elektronikprodukte entwickelt. Im Jahr 2000 wurde der Verein „Silicon Saxony e.V.“ gegründet, der heute mit seinen 300 Mitgliedern ein äußerst schlagkräftiges Netzwerk mit zahlreichen Initiativen, Arbeitsgruppen und Veranstaltungen darstellt.

und seit neuestem auch auf 300 mm-Siliziumwafern Halbleiterprodukte und Systemlösungen für Automobil- und Industrieelektronik, ebenso für sicherheitskritische Anwendungen wie Chip-Cards. 2011 wurde mit der weltweit ersten 300 mm-Fertigung für Leistungshalbleiter ein neues Kapitel der Geschichte von Infineon Dresden begonnen, das mit den entstehenden Märkten ein großes Potenzial für die Zukunft bietet.

Sein eigenes Unternehmen, Infineon Technologies, habe seit der Gründung im Jahr 1994 mehr als 3 Mrd. Euro in die Produktionsstätten am Standort Dresden investiert und beschäftige dort mehr als 2.000 Mitarbeiter in Entwicklung und Fertigung. Produziert werden auf 200 mm-

Abschließend stellte Helmut Warnecke noch den Aufbau von Kapazitäten in Dresden für das Chip-Design in Aussicht, bevor er das Rednerpult für die Keynote-Vorträge des ersten Tages freigab. (Haa)



Abbildung 3.01: Blick in den Vortragsraum des edaWorkshop

Keynote – Maurizio Zuffada – Barcelona Supercomputer Center „The industrial Deployment of the Silicon Photonics Technology“

In der einleitenden Keynote „The industrial Deployment of the Silicon Photonics Technology“ beleuchtete Maurizio Zuffada, Director R&D bei STMicroelectronics die Problematik der unzureichenden Datenübertragungsraten elektrischer Systeme. Dies gelte nicht nur für die Datenübertragung via Kabel, sondern insbesondere auch für die „Inter-Chip-Kommunikation“ auf dem Board und letztendlich auch für die „Intra-Chip-Kommunikation“ innerhalb integrierter Schaltkreise. Als treibende Anwendung sei dabei laut Zuffada das High-Performance-Computing (HPC) zu betrachten.

Da die Intra-Chip-Datenübertragungsraten auf rein elektronischem Wege u. a. aus Gründen der begrenzten Bandbreite, des Crosstalks, des Energieverbrauchs und der resultierenden Wärmeentstehung nicht mit der sinkenden Technologiegröße skalieren, biete sich die Integration von optischen Einheiten zur schnellen Datenübertragung auf dem gleichen Siliziumsubstrat als ein Lösungsweg aus der Misere an. Diese Vorgehensweise werde generell als „Silicon Photonics“ bezeichnet.

Kernelemente dieser Technologieintegration sind laut Zuffada die elektro-optischen (EO) Transmitter-/Receiver- (Tx/Rx) Einheiten, die mit Hilfe von integrierten Lasermodulen die elektrischen Signale in optische Signale (und umgekehrt) umwandeln. Den gegenwärtigen Stand der Technik veranschaulichte Zuffada anhand eines IC-Scans einer EO 40 Gbps Transceiver-Realisierung der US-Firma Luxtera.

„Silicon Photonics“ nehmen laut Zuffada gegenwärtig jedoch nur einen Nischenmarkt ein. Als große Herausforderungen der Zukunft auf dem Weg zum Massenmarkt seien die Reduzierung der Laserkosten (möglich durch Integration eines Photonics-Layers auf dem Chip), neue Methoden der Wärmeabfuhr (z. B. Fluidic Cooling) und die Reduzierung der Kosten für das elektro-optische Package zu betrachten.

Die Anforderung des High-Performance-Computing, die Kosten pro Gbps von gegenwärtig etwa 6 \$/Gbps

auf unter 0,02 \$/Gbps im Jahre 2022 zu senken, könne aber nur durch innovative Lösungsansätze erreicht werden. „Silicon Photonics“ sei dabei ein vielversprechender Ansatz, wie die von Zuffada präsentierte „Silicon Photonics“-Roadmap veranschaulichte.

Interessante Randnotiz zu dieser visionären Keynote: Eine Woche nach dem edaWorkshop13 vermeldete Mentor Graphics in einer Pressemitteilung die Kooperation mit OpSIS (Optoelectronic Systems Integration in Silicon, University of Delaware) und Lumerical Solutions Inc. (Vancouver, Canada). Das Ziel der Kooperation ist laut Pressemitteilung: „... to develop a complete EDA-style, full flow process design kit (PDK) for the OpSIS IME (Institute of Microelectronics) silicon photonics process“. (Ne)

Keynote – Jörg Winkler (GLOBALFOUNDRIES, Dresden) „Design Challenges for Advanced CMOS“

In seinem Keynote-Vortrag stellte Dr. Jörg Winkler, Fellow Design Enablement bei GLOBALFOUNDRIES, die Herausforderungen vor, denen sich die Chipdesigner heute bei der Anwendung von Advanced CMOS-Technologien stellen müssen.

Besonders betonte er die Bedeutung der Kooperation zwischen Chipentwickler und Foundry-Partner. Beim traditionellen Modell nutzten Chipentwickler die Angebote der in der Regel geografisch fokussiert arbeitenden Auftragsfertiger mit fest vorgegebenen Technologiepaketen. Die nächste Stufe, von Winkler als „Foundry 1.0“ bezeichnet, sei gekennzeichnet von weltweit verteilten Fertigungsstätten, langfristigen Vereinbarungen, gemeinsamen Entwicklungen und einer Änderung der Rolle von einem reinen Auftragsfertiger zu einem Foundry-Partner. In der jetzt von GLOBALFOUNDRIES propagierten Stufe „Foundry 2.0“ soll das Beste aus beiden Welten – den Vorteilen eines klassischen IDM (Integrated Device Manufacturer) und der Flexibilität des Foundry-Modells – zum Modell des „Collaborative Device Manufacturing“ kombiniert werden. Eine nahtlose Kooperation soll eine Ausweitung der Strategie des Halbleiterunternehmens auf die Partner-Foundry umfassen, wodurch die notwendigen Investitionen und der damit erzielte Erfolg auf mehrere Schultern verteilt werden.



Abbildung 3.03: Maurizio Zuffada von ST Microelectronics bei seinem Keynote-Vortrag



Abbildung 3.04: Jörg Winkler von GLOBALFOUNDRIES bei seinem Keynote-Vortrag

Im weiteren Verlauf seines Vortrags ging Winkler ausführlich auf die verfügbaren Fertigungstechnologien, deren Charakteristika und die damit verbundenen Möglichkeiten ein, ebenso auf die verschiedenen zu durchlaufenden Stufen bei der Implementierung eines Designs in den neuesten verfügbaren CMOS-Technologien. Damit erhielten die Zuhörer einen guten Überblick über die Nutzung der aktuell kommerziell verfügbaren Fertigungstechnologien, bevor in den nachfolgenden Sessions aktuelle Forschungsarbeiten rund um den Entwurf von Chips und deren Anwendungen im Mittelpunkt standen. (Haa)

Keynote - Gerold Schöpfer (Coventor)

„Virtual Fabrication of Advanced CMOS“

Gerold Schöpfer von Coventor stellte unter dem Titel „Virtual Fabrication of Advanced CMOS“ eine neue Methodik zur Prozessmodellierung von 3D-Strukturen vor. Ihre Notwendigkeit leite sich aus der durch die Strukturverkleinerung bedingten stetigen Steigerung von Prozesskosten und Komplexität ab, für die ein Trial-and-Error-Vorgehen nicht mehr akzeptabel sei.

Die Methodik sei entsprechend der hierarchischen Vorgehensweise im klassischen EDA-Bereich angelegt und beinhaltet ein neuartiges Tool namens SEMulator 3D, mit dem die 3D-Prozessmodellierung auf höheren Abstraktionsebenen möglich werde. Die Modellierung erfolge dabei anhand von 3D-Pixeln (Voxel genannt) und basiere auf „Boundary-Representation“ (BREP) und „Moving Mesh Technologie“, wobei die Oberflächen entweder gleichungsbasiert oder über diskrete Polygone modelliert würden. Laut Schöpfer ist die Modellierung auf beliebige Prozesse und Layouts anwendbar, ist effektiv und kostensparend, kalibrierbar, ermöglicht die Modellierung mit unterschiedlicher Genauigkeit und stellt eine Validierung und Visualisierung der Beziehungen zwischen Design und Prozess bereit. Darüber hinaus ermögliche sie sowohl Entwurfszentrierung als auch Empfindlichkeitsanalysen, gebe einen frühzeitigen Einblick in die Auswirkungen von Entwurfsentscheidungen, biete spezielle virtuelle Metriken, Möglichkeiten für skriptbasierte Abläufe zur Überprüfung des Designs und Verlässlichkeitsanalysen. Schöpfer belegte seine Aussagen in seinem Vortrag überzeugend anhand einer Vielzahl von anschaulichen Beispielen aus der Praxis, die teilweise zusammen mit Anwendern der Methodik erarbeitet wurden.



Abbildung 3.06: Die Teilnehmer der Podiumsdiskussion „Closing the gap between technology and application needs“



Abbildung 3.05: Gerold Schöpfer von Coventor bei seinem Keynote-Vortrag

Podiumsdiskussion

Closing the gap between technology and application needs

Christoph Grimm (TU Kaiserslautern) moderierte das Panel an dem Martin Barnasconi (NXP), Raul Camposano (Nimbic), Wolfgang Nebel (Universität Oldenburg und OFFIS), Achim Graupner (ZMDI) und Armin Kemna (Elmos) teilnahmen.

Grimm leitete die Diskussion ein, indem er auf die nachfolgend genannten drei Optimierungsmöglichkeiten bei der Entwicklung elektronischer Schaltkreise hinwies, die in der Vergangenheit nicht, oder nicht ausreichend verfolgt wurden:

- » Optimierung über Fachbereichsgrenzen hinweg
Hier könnte z. B. das zyklische Abarbeiten eines Analog-Digital-Converters ADC durch eine interruptgesteuerte Software effizienter realisiert werden, wenn sowohl Software-Programmierer als auch Analog-Entwickler das System über ihre eigenen Fachbereichsgrenzen hinweg optimieren könnten.
- » Optimierung über Schichten hinweg
Hier könnte z. B. die Batterielebensdauer in einigen Fällen vertausendfacht werden, wenn Optimierung zwischen den Schichten Anwendungsszenario, Kommunikationsprotokolle und Architektur möglich wäre.
- » Co-Optimierung mit der Anwendung
Hier könnten z. B. Caches und Branchprediction in eingebetteten Echtzeitsystemen verwendet werden, wenn eine Co-Simulation des Systems mit seiner Umgebung durchgeführt würde und eine flexiblere Kontrolle als feste Deadlines angewendet werden könnte. (Dazu verwies Grimm auf eine Arbeit von Chakraborty, die zur FDL 2012 vorgestellt wurde).



Abbildung 3.07: Christoph Grimm von der Universität Kaiserslautern moderiert die Podiumsdiskussion

Im weiteren Verlauf stellten die Podiumsteilnehmer Ihre Vorschläge zur Schließung der Lücke zwischen Technologie und Applikationsbedarf vor.

Barnasconi schlug vor, dass bewährte digitale Verifikationsmethoden in die Analog-Mixed-Signal- (AMS-) Domäne portiert werden sollten, dass weitere standardisierte AMS-Spracherweiterungen für die Mixed-Signal Systemverifikation zu entwickeln wären (z. B. SystemC AMS) und zudem (kommerzielle) Simulationsumgebungen die effiziente Mixed-Signal Systemverifikation unterstützen müssten.

Camposano postulierte, dass EDA die Lücke durch Wiederverwendung und Abstraktion (IP) schließen werde. Hardware-Entwurf werde dann ein Zusammenfügen von IP mit Verbindungslogik. Die Verifikation werde durch Simulation auf allen Ebenen und mit formalen Methoden durchgeführt. Den größten Anteil werde aber die Software haben, die meist auf einigen wenigen (Cloud)-Betriebssystemen ausgeführt würde.

Nebel nannte Herausforderungen, die aus extra-funktionalen Eigenschaften resultieren. Zwar seien eigenständige Lösungen für isolierte Effekte (Leistung und Temperatur) verfügbar, aber es gebe keine integrierten Methoden und Standards und keine Verbindung zur Systemebene und darüberhinaus. Weitere Herausforderungen seien durch die Thematik des „Internet of Things“ gegeben. Dabei seien cyber-physikalische Systeme in dynamischen Umgebungen zu betrachten. Hierbei gebe es eine enge Kooperation der Anwendungen unterschiedlicher „Kritikalität“, die sich lokale und globale Berechnungsressourcen teilen. Dabei würden die Berechnungsressourcen während der Betriebszeit transparent hinzugefügt oder entfernt.

Laut Graupner ist die Verifikation von Mixed-Signal-ICs die wesentliche Herausforderung, die es zu bewältigen gelte. Es fehle an einer einheitlichen Verifikationsplanung und Fortschrittsverfolgung. Dafür werde ein einheitliches Werkzeug benötigt. Insbesondere nannte Graupner die Waveform-Evaluierung, die trotz existierendem Standard nicht in gleicher Weise in Messfunktionen implementiert sei (IEEE 181–2003).

Für Kemna sieht die ideale EDA-Lösung folgendermaßen aus: Gut integrierte Werkzeuge arbeiten in einem exzellenten Entwurfsablauf. Um die besten Werkzeuge zu integrieren, die die technischen Herausforderungen lösen können, sind die Entwurfsabläufe offen gestaltet. Der Entwurfsablauf ist in der Lage die Unterschiedlichkeit der Mixed-Signal-Produkte zu bedienen und durch integrierte Dokumentations-Lösungen wird die Entwurfs-umsetzung beispielsweise von ISO 26262 unterstützt.

In der Diskussion mit dem Publikum bestand Einigkeit darüber, dass ein Ende des Rennens zwischen technologischen Möglichkeiten und Anwendungsbedürfnissen nicht absehbar ist. Teilweise übersteigen die Bedürfnisse den technologischen Fortschritt nach Moore. Einigkeit gab es ebenso bei der Frage, ob eine Notwendigkeit für die Spezifikationsunterstützung durch die EDA-Hersteller gesehen wird. Das System-Know-how werde zwar beim Chiphersteller aufgebaut, aber die Handhabung des Anwendungswissens (z. B. ISO 26262) sollte durch EDA-Werkzeuge unterstützt werden. Barnasconi schlug ausführbare Spezifikationen als Ersatz für nicht-formalen E-Mail- und Dokumentenaustausch vor.

Grimm fasste zum Ende der Diskussion zusammen, dass sich der Entwurf in den kommenden 10 Jahren noch mehr zur Wiederverwendung sehr viel größerer IP-Blöcke als bisher entwickeln werde. Ein großer Bedarf werde hierbei bei der kompletten und heterogenen Systemverifikation durch Simulation mit Optimierung über Schichten hinweg gesehen.

Keynote - Ulrich Abelein (AUDI)

„Quality and Innovation – Drivers for Modern Automotive Electronics“

Den zweiten Tag des edaWorkshop eröffnete Ulrich Abelein von AUDI mit einer eindrucksvollen Keynote, in der er die Bedeutung der Mikroelektronik für moderne Automobile darstellte.

Bis auf wenige Ausnahmen wie Karosserie und Innenraum sind in einem modernen Auto durchweg elektronische Komponenten die Treiber für Innovationen bei Sicherheit, Komfort und Infotainment. Viele Funktionen, die früher rein mechanisch umgesetzt wurden, werden heutzutage elektro-mechanisch oder voll-



Abbildung 3.08: Ulrich Abelein von AUDI bei seinem Keynote-Vortrag

gegebenenfalls Maßnahmen zur Wiederherstellung der einwandfreien Funktionalität bereitstellt („Der Chip mit Selbstkontrolle“, siehe FAZ-Artikel). Auf die Frage, ob die durch die zusätzlichen „Selbstkontroll“-Aktivitäten zwangsläufig entstehende reduzierte Leistungsfähigkeit solcher Chips vom Kunden akzeptiert werde, verwies Melzner auf die frühe Phase des Projekts: Die künftigen Ergebnisse müssten abgewartet werden, aber er erwarte die Probleme eher bei der größer werdenden Chipfläche als bei der verringerten Leistungsfähigkeit.

Weitere Methoden adressieren den zuverlässigen Entwurf der Chips. Alle Methoden haben zum Ziel, die Lebensdauer künftiger Chips zu verlängern, indem negative Alterungsprozesse im Chip-Betrieb ausgeglichen werden.

Auf die Frage eines Zuhörers, ab welcher Technologie ernsthafte Probleme aufgrund der Alterungsprozesse erwartet werden, antwortete Melzner, dass der Test-Chip in 40 nm gefertigt werde, aber Methoden bereits ansatzweise für die 65 nm-Technologie erfolgreich eingesetzt werden. Mit zunehmender Miniaturisierung müssten die Methoden fortschrittlicher werden.

Ein entwickeltes, gemeinsames Beschreibungsformat für Zuverlässigkeit weckte das besondere Interesse der Zuhörer. Als Herausforderung für ein solches Beschreibungsformat wird die Abdeckung der vom Projekt adressierten Applikationen (Medizin, Automotive und Luftfahrt) und der Abstraktionsebenen (Systemebene bis physikalische Ebene) vermutet.

Präsentation NEEDS: Markus Olbrich – Leibniz Universität Hannover

„Design Methods for 3D Integrated Systems“

Das Clusterforschungsprojekt NEEDS läuft zwar noch bis Ende 2013, hat aber im bisherigen Projektverlauf schon eine Vielzahl stark beachteter Ergebnisse erzielt, die u. a. auf renommierten, auch internationalen wissenschaftlichen Tagungen vorgestellt wurden. So präsentierte Markus Olbrich von der Leibniz Universität Hannover das in NEEDS entwickelte Gesamtkonzept für den Entwurf heterogener 3D-Systeme, sowie die wichtigsten technischen Ergebnisse.

„Der Chip mit Selbstkontrolle“
Infineon und EADS suchen zuverlässigere Halbleiter
FAZ, Nr. 184, S. 12,
10.8.2011

Details zum Beschreibungsformat sowie Infos zu RELY: <https://www.edacentrum.de/projekt/relly>

Als besondere Anerkennung für ihre Arbeiten zu einer Implementierungsmethodik von 3D-Strukturen, die sie auch in das Projekt NEEDS einbrachten, wurden zwei Forscher von der Fraunhofer Gesellschaft IIS/EAS mit dem EDA Achievement Award 2013 ausgezeichnet (siehe Seite 34).

Es müsse jedoch angemerkt werden, dass die Prozessorgeschwindigkeit nur eine begrenzte Aussagekraft habe, so Ramirez. Notwendig sei bei Performance-Analysen darüber hinaus die Betrachtung der Themen Interconnect und Speicherzugriff. So hätten die gegenwärtig auf dem Markt erhältlichen Mobilprozessoren durchgehend eine geringe Interconnect-Bandbreite, da schnelle Ethernet oder PCI Express I/O Interfaces fehlten.

Als weiteres Manko führte Ramirez die unzureichende Auslegung der Mobilchips für Dauerlast an, d. h. die Packages der Prozessoren seien für die erhöhte Wärmeentwicklung nicht geeignet. Als Fazit könne man jedoch sagen, dass keine der angeführten Limitationen technische Gründe habe. Die gegenwärtige Architektur und Auslegung der Chips basiere auf dem bisher anvisierten Geschäftssegment. Sobald ein neues Geschäftsmodell (z. B. durch den HPC- oder Server Markt) eine veränderte Massenproduktion dieser Chips rechtfertige, könne man mit diesen Mikroprozessorsystemen auch abseits des Mobilmarktes rechnen. (Ne)

Projektvortrag RELY Hanno Melzner (Infineon Technologies)

RELY - Design Methods for Preventive Health Care

Hanno Melzner erläuterte zu Beginn seines Vortrags Motivation und Ziel von RELY. Im Projekt werden neue Methoden entwickelt, um neue Technologien zuverlässiger als bisher für elektronische Schaltkreise einsetzen zu können. Solche Methoden sind nötig, weil neue Technologien immer das Risiko bergen, dass negative, bisher nicht aufgetretene Effekte die Zuverlässigkeit des Chips beeinträchtigen. Von den zu erwartenden Erfolgen des Projekts werden vor allen Dingen sicherheitskritische Anwendungen profitieren, z. B. Automotive, Luftfahrt und Medizintechnik. Anwendungspartner aus allen drei Gebieten sind im Projekt vertreten und liefern die Anwendungsszenarien, die anhand eines im Projekt entwickelten Test-Chips überprüft werden.

„Preventive Health Care“ ist eine dieser Methoden, die zusätzliche Schaltkreise zur eigentlichen Funktion auf dem Chip integriert, um den Zustand des Chips im regulären Betrieb zu überwachen und

Das Gebiet der Fahrerassistenzsysteme wird weiter ausgebaut werden: Einparkhilfen und Kurvenlicht sind mittlerweile fast serienmäßig verfügbar, Spurhalte-assistent, Verkehrszeichenerkennung, Personenerkennung oder Abstandswarner werden nicht mehr lange auf sich warten lassen.

Gerade im Bereich Elektromobilität entstehen laut Abelein bei steigender Komplexität ganz neue Herausforderungen in Bezug auf „Automotive Quality“: Da heutige Kraftfahrzeuge für mindestens 15 Jahre Betriebsdauer bei 300.000 km Fahrleistung und 8000 Stunden Motorlaufzeit ausgelegt sind, muss dieser Anspruch künftig auch für die im Fahrzeug eingesetzten Halbleiter gelten. – Problematisch ist dabei, dass deren Qualität dazu bei weitem noch nicht ausreichend ist.

Neben der Forderung nach robustem Design auf allen Ebenen, setze sich Audi für die Schaffung einer integrierten Sicht – Halbleiter in Verbindung mit der Anwendung – ein, berichtete Abelein. Ziel sei eine enge Zusammenarbeit zwischen OEM, Tier 1 und Halbleiterhersteller, wie es im Projekt RESCAR 2.0 derzeit vorgelebt werde. Die Einbindung der Anforderungen sowie Mitarbeit des OEMs schon in der Halbleiterentwicklung werde dazu führen, dass Innovationen mit der notwendigen Qualität erreicht werden können. (Tr)

Ramirez vertrat die Auffassung, dass wir momentan an einem Punkt seien, an dem sich die nächste „Wachablösung“ im Supercomputer-Design abzeichne: Der Wechsel von den Standard-PC-Prozessoren (Intel-dominiert) zu den Standard-Mobilgeräte-Prozessoren (ARM dominiert). Auch hier sei als entscheidendes Kriterium für den Wechsel der Kostenaspekt anzuführen. Ramirez führte an dieser Stelle den Vergleich zwischen Intels High-End i7-2760QM-Chip und dem Anfang 2013 von NVIDIA angekündigtem ARM-basierten Tegra-4-Chip an. Der erwähnte Kostenaspekt werde durch das Verhältnis von Leistung zu Preis (beschrieben in GFLOPS per Dollar) offensichtlich: Der Intel-Chip komme hier auf 0,102 GFLOPS per Dollar während der NVIDIA-Chip mit eindrucksvollen 0,72 GFLOPS pro Dollar aufwarten könne.



Abbildung 3.09: Alex Ramirez vom Barcelona Supercomputer Center bei seinem Keynote-Vortrag

ständig elektronisch realisiert (z. B. Bremsen, Gaspedal, Straßenlage). Dies führt dazu, dass mittlerweile mehr als 100 elektronische Steuergeräte (ECU) in einem modernen Kraftfahrzeug wie dem Audi A8 eingebaut werden. Der Softwareanteil hat sich in 10 Jahren mehr als vervierfacht. Während in den Jahren vor 2010 in der Anwendung erprobte Halbleitertechnologien eingesetzt wurden, ist es heute erforderlich, aktuelle „state-of-the-art“ Prozesse zu verwenden, um den gestiegenen Anforderungen und der damit einhergehenden hohen Systemkomplexität gerecht zu werden.

Dass dieser Trend sich weiter fortsetzen werde, untermauerte Abelein mit den „automobilen Megatrends“ 2020+: Car-to-X, das die Vernetzung des Autos nach außen meint, Fahrerassistenzsysteme wie z. B. pilotiertes Fahren und natürlich Elektromobilität. „In der letzten Dekade haben wir alle Systeme im Fahrzeug vernetzt – heute geht es darum, das Fahrzeug vollständig mit seiner Umgebung zu verbinden.“, brachte es Abelein auf den Punkt. High-Speed Internet im Fahrzeug bei jeder Geschwindigkeit, automatische Verkehrsflussmeldungen über Satellit an Navigationssysteme oder Google Earth als Navigationshilfe sind laut Abelein nur ein paar Beispiele für die Herausforderungen im Car-to-X Bereich.

Keynote – Alex Ramirez – Barcelona Supercomputer Center
„Are mobile processors ready for HPC?“

Die zweite Keynote des Tages wurde von Alex Ramirez vom Barcelona Supercomputer Center gehalten. Kernthema war dabei die Frage, ob sich Standardprozessoren aus dem Mobilbereich als Basis für kosteneffiziente Supercomputer der Zukunft eignen.

Ramirez ging als erstes auf die historische Entwicklung der Supercomputer ein, wobei er die von den Cray-Maschinen dominierten 70er und 80er Jahre aufgrund ihrer relativ geringen Anzahl an Prozessoren vernachlässigte. Ausgehend von den Vektor-Prozessor-Maschinen der frühen 90er Jahre, z. B. der Fujitsu Numerical Wind Tunnel (1993) übernahmen laut Ramirez erst die RISC-Maschinen, z. B. die Hitachi SR2201 und gegen Ende der 90er Jahre Maschinen auf Basis sogenannter Commodity-Prozessoren das Feld der Supercomputer. Der ASCI Red kam dabei auf 1 TFLOPS, der ASCI White auf 7,3 TFLOPS.

Mit dem Schwenk von SIMD Vektor-Prozessoren hin zu Standardprozessoren ging auch ein Paradigmenwechsel der Applikationssoftware, vom Parallelismus der Vektordatenverarbeitung hin zum Message-Passing-Programmiermodell, einher. Ausschlaggebend war dabei nicht die (nicht gegebene) technische Überlegenheit der Standardprozessoren (man brauchte etwa 10 Standardprozessoren, um die Performance eines Vektor-Prozessors zu erreichen), sondern deren geringe Kosten aufgrund der Massenproduktion.



Abbildung 3.10: Hanno Melzner von Infineon bei seinem Projektvortrag



Abbildung 3.11: Markus Olbrich von der Universität Hannover bei seinem Projektvortrag

GFLOPS: Milliarden Fließkommazahl-Operationen pro Sekunde
Fujitsu Numerical Wind Tunnel (1993): 166 Vektor-Prozessoren und 170 GFLOPS
RISC: Reduced Instruction Set Computer
Hitachi SR2201 (1996): 2048 (HP) RISC-Prozessoren und 600 GFLOPS
Commodity-Prozessoren: Kostengünstige Standardprozessoren
ASCI Red (1997): 9298 Intel Pentium Pro Prozessoren
ASCI White (2001): 8192 IBM Power 3 Prozessoren

SIMD: Single Instruction – Multiple Data

Der edaWorkshop14 findet am 13. und 14. Mai 2014 wieder in Hannover im Courtyard Marriott Hotel statt. Aktuelle Informationen unter www.edacentrum.de/edaWorkshop

Kontakt
Ralf Popp
fon: (0511) 762-1969
popp@edacentrum.de

zu verbinden. Diesen Weg werde MEMS2015 jetzt konsequent weitergehen und man hoffe, zum nächsten edaWorkshop mit ersten messbaren Erfolgen aufwarten zu können. (Pp)

Abendveranstaltungen im „Altmarktkeller“ und dem „Deutschen Hygienemuseum“

Geselligkeit an sehenswerten Orten

Die dreitägige Veranstaltung bot die Gelegenheit, zwei Abende gemeinsam zu verbringen. Am ersten Abend traf man sich zum geselligen Dinner im „Sophienkeller“ wo die Gräfin Kosel für eine der Lokalität angemessene Unterhaltung sorgte. Das Dinner am zweiten Abend wurde im Restaurant der „Gläsernen Manufaktur“ von Volkswagen im Anschluss an eine Führung durch die Phaeton-Produktion serviert. Dort wurde auch die EDA-Medaille 2013 verliehen. Sie ging in diesem Jahr an einen EDA-Leistungsträger aus Paderborn, an Herrn Prof. Dr. Franz-Josef Rammig, der damit einmal mehr für sein herausragendes Engagement zur Förderung von EDA gewürdigt wurde. (Pp)

einer Art „BSIM für MEMS“ zu verfolgen, damit nur noch auf der untersten Abstraktionsebene mit finiten Elementen simuliert werden muss.

Auf dem Weg zu dieser Lösung ist laut Sommer zum Beispiel zu klären, wie die Möglichkeiten des (analogen) Mikroelektronik-Entwurfs (Topologieentwurf, Dimensionierung, Optimierung, Analyse) in die Mechanik transferiert werden können, wie ein durchgängiger Design-Flow mit modellbasierter Entwurfsstrategie für heterogene Systeme entwickelt werden kann oder wie man die beiden unterschiedlichen Design-Flows verbindet, in einer geeigneten Umgebung integriert und auf die rechenzeitintensiven FEM-Simulationen verzichten kann.

Sommer schloss seinen Vortrag mit dem Hinweis, dass eine einfache Modellierung zahlreicher konzentrierter, parametrierbarer Elemente nach einem „Lego“-artigen Ansatz der Schlüssel sei, um den Mikromechanik- und Mikroelektronik-Entwurf effektiv

edacentrum verleiht EDA Medaille 2013 an Prof. Dr. Franz-Josef Rammig

<http://www.edacentrum.de/eda-netzwerke/auszeichnungen>

Auf dem diesjährigen edaWorkshop wurde Prof. Dr. rer. nat. Franz-Josef Rammig von der Universität Paderborn für sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation (EDA) mit der EDA-Medaille ausgezeichnet. Das edacentrum würdigt damit das herausragende Engagement von Prof. Rammig zur Förderung von EDA während seiner 40-jährigen Berufstätigkeit.

Prof. Rammigs Arbeit ist durch das frühzeitige Identifizieren zukunftsreicher Themen charakterisiert. So entwickelte er bereits 1977 Strukturen für programmierbare Schaltungen – den Vorläufern der FPGAs. In

der „EIS-Zeit“, der Zeit des breiten Durchbruchs der EDA-Forschung und -Lehre in Deutschland, war Prof. Rammig einer der Pioniere der Entwicklung von Hardwarebeschreibungssprachen, deren Konzepte in VHDL und SystemC heute tragende Säulen der Entwurfsautomatisierung sind. Die von Prof. Rammig getriebenen Aktivitäten zu Werkzeugkopplung und -integration, den CAD-Frameworks, waren wegweisende Beiträge für die heutigen kommerziellen Entwurfssysteme, die durchgängige Entwurfsprozesse auf einheitlichen Datenbasen ermöglichen. Gemeinsam ist allen Beiträgen die stringente, strukturierte und auf mathematischen Prinzipien beruhende Vorgehensweise.



Abbildung 3.14: Laudator Prof. Dr.-Ing. Wolfgang Nebel mit Preisträger Prof. Dr. rer. nat. Franz-Josef Rammig, Prof. Dr. Wolfgang Rosenstiel und Dr.-Ing. Jürgen Haase, Vorstandsmitglieder im edacentrum

Bereitstellung von Methoden und Werkzeugen, die die nötigen Erkenntnisse schaffen, ohne die Entwurfsaufgabe zu überfrachten. Demzufolge extrahieren und simulieren die Nimbic-Tools lediglich die für eine Erkenntnis benötigten Dinge aus einem Design. Natürlich ging Camposano aus verständlichen Gründen nicht im Detail darauf ein wie das gemacht werde, er verriet aber, dass mit der Momentenmethode, einer schnellen Boundary-Element-Methode und spezieller Matrizendekomposition sehr effiziente Algorithmen zur Simulation eingesetzt werden. Er zeigte auf, dass Nimbic mit seinem „PILOT-QR-Solver“ eine deutlich schnellere Feldberechnung mit sehr viel weniger Speicher ermöglicht, als reguläre iterative Solver oder LU-Solver. Camposano ergänzte dass Nimbic diese Algorithmen zudem auf parallelen Prozessoren ausführe, was zusätzlich die effektive Rechenzeit verkürze. Neben dem Solver und der Parallelisierung“ setze Nimbic skalierbare und sichere Cloud- und Batch-Methoden ein und sei daher in übliche Design-Flows integrierbar. (Pp)

Präsentation MEMS2015 Ralf Sommer – IMMS

„Schematic Driven MEMS Design“

Ralf Sommer vom IMMS stellte in seinem Vortrag „Schematic Driven MEMS Design“ die Motivation für das Mitte 2012 gestartete Verbundprojekt MEMS2015 und seine Lösungsansätze für den Entwurf von Mikro-Elektromechanischen Systemen (MEMS) vor.

Sommer begann seine Ausführungen mit einem Vergleich der Entwurfsprinzipien für mikromechanische und mikroelektronische Systeme. Dabei zeigte er, dass beide grundsätzlich sehr ähnlich seien, der mikromechanische Entwurf aber deutlich weniger entwickelt sei und daher enorm von den Erkenntnissen und Möglichkeiten des Mikroelektronik-Entwurfs profitieren könne. Der wesentliche Grund hierfür liege darin, dass es in der Mikromechanik – anders als in der Mikroelektronik – keine Basisblöcke und keine durchgängige Hierarchie gebe. Bei diesem Defizit setze MEMS2015 an, mit dessen Ergebnissen ein multi-physikalischer integrierter Systementwurf in einer holistischen Weise möglich werden soll. Es gehe darum, eine hierarchische, durchgängig modellbasierte Strategie mit



Abbildung 3.13: Ralf Sommer vom IMMS bei seinem Projekt-Vortrag

Olbrich präsentierte NEEDS in der Session „Heterogeneous Integration“ einem internationalen Publikum und machte es so möglich, die erzielten Ergebnisse auch gleich mit dem Entwicklungsstand in anderen Ländern zu vergleichen. Das dabei erhaltene wertvolle Feedback sowohl von Seiten anderer Forscher als auch aus der Industrie wird in die verbleibenden Arbeiten einfließen.

Neben der ausgezeichneten Sichtbarkeit für das Projekt NEEDS wurde mit dem Vortrag auch für das gesamte deutsche EDA-Clusterforschungsprogramm internationale Öffentlichkeitsarbeit geleistet. Und es wurde deutlich, dass NEEDS mit seinen Arbeiten weit vorne steht: Während von anderer Seite vor allem wichtige zu beachtende Probleme und Aufgaben für einen Design-Flow vorgestellt wurden, konnte Olbrich im Namen von Needs bereits Lösungen anbieten. Hier zeigte sich erneut, dass die intensive Zusammenarbeit mit begleitenden Industriepartnern als wichtige Komponente der EDA-Clusterforschung auch die Erforschung von Grundlagen ungemein befruchtet. (Haa)

Keynote: - Raul Camposano (Nimbic)

„Electromagnetic Simulation for Electronic Systems“

In seinem Vortrag „Electromagnetic Simulation for Electronic Systems“ stellte Raul Camposano, Geschäftsführer des Start-up-Unternehmens Nimbic, die Grundidee hinter den Produkten seiner Firma vor. Camposano und Nimbic setzen voraus, dass die Bedeutung der elektromagnetischen (EM) Simulation in Folge steigender Frequenzen und einer wachsenden Zahl von 3D-ICs in Zukunft stark zunehmen werde. Beide Veränderungen führte er auf das aufwendige Packaging bzw. Die-Stacking zurück, für die die Signal- und Power-Integrität immer wichtiger würden. Einen weiteren Grund zu der postulierten Entwicklung sieht Camposano in der enormen Bewegung rund um das „Internet der Dinge“ und der Tatsache, dass Systeme immer mehr Funktionen beinhalten.

Die Idee von Nimbic besteht in der Ausnutzung des wachsenden Bedarfs für EM-Simulationen und der



Abbildung 3.12: Raul Camposano von Nimbic bei seinem Keynote-Vortrag

Eine detaillierte Beschreibung der Ergebnisse sind in diesem Heft im Rahmen des Artikels „Anknüpfungspunkte für das Clusterforschungsprojekt NEEDS“ ab Seite 16 zu finden.