

“Network on Chip – Alternative Solutions and Future Directions”

Podiumsdiskussion auf der CATRENE DTC am 10. Mai 2011 in Dresden

Die Netzwerk-basierte Kommunikation zwischen Chip-Komponenten mittels Network on Chip (NoC) war das Thema der ersten Podiumsdiskussion. Sie wurde von Bernard Candaele (Thales) moderiert. Diskussionsteilnehmer waren Cédric Plomion (Arteris) stellvertretend für die NoC IP Provider, Marcello Coppola (STMicroelectronics) als SoC Plattformintegrator, Fabien Clermidy (CEA-LETI) als Experte für NoC für 3D-Stacking Technologien und Ian O'Connor (Ecole Centrale de Lyon) für den Ausblick auf künftige optische Netzwerke auf einem Chip.



Abbildung 3.21: Bernard Candaele von Thales

Einleitend wies Candaele auf bekannte Herausforderungen von Bus- und NoC-Architekturen hin. Unter anderem müssen Frequenz- und Spannungseinseln überbrückt werden und trotz Datendurchsatz-Beschränkungen der bekannten Architekturen muss künftig Kommunikation mit 700–800 MHz möglich sein. Obwohl klassische Busstrukturen immer noch Verwendung finden, ist der de-facto Standard für die On-Chip Kommunikation bereits heute das NoC. Treiber für NoC-Architekturen sind die steigende Anzahl an Komponenten auf einem Chip, die mehr und schnellere Kommunikation erfordern.



Abbildung 3.22: Cédric Plomion von Arteris

Hierfür bietet der NoC IP-Provider Arteris Produkte zur netzwerkbasieren Kommunikation der Komponenten auf und zwischen Chips an. Plomion verglich die Kom-

munikationsstrukturen auf einem Chip mit einer Autobahn, die im Falle einer klassischen Busstruktur, wie sie vor ca. 15 Jahren eingesetzt wurden, nicht mehr als Auf- und Abfahrten für Master und Slaves berücksichtigen würden. Zudem bestehen wenige Möglichkeiten für das Priorisieren von Kommunikation zur Verfügung. Bereits geringfügige Ereignisse auf dem Bus verursachen im Bild der Autobahn einen Verkehrsstau.

Vorteile einer NoC Struktur liegen auch in der einfacheren Anbindung von zusätzlichen Chip-Komponenten, die beispielsweise erst sehr spät im Projektverlauf hinzukommen. Hier ist das NoC flexibler gegenüber der klassischen Busstruktur. Weitere Flexibilität bieten heutige NoCs dadurch, dass sie auf unterschiedliche Anforderungen (z. B. Durchsatz oder Latenz) hin auf einem Chip optimiert werden können.

NoC Strukturen sparen zudem Kosten, da sie u. a. Chipfläche sparen, dies kann Arteris anhand von Benchmarks nachweisen. Die Zeiteinsparungen bei der Implementierung einer NoC-Struktur in das Chip-Projekt ermöglichen es laut Plomion, zudem die R&D Ressourcen für andere Aufgaben einzusetzen.

NoC ermöglicht IP Plug&Play indem bereits heute unterschiedliche Verbindungen ersetzt werden, wie z. B. Bridges, asynchrone Bridges oder Power Domain Bridges. Dies wird laut Plomion durch eine einheitliche, neutrale Technologie ermöglicht. Die Neutralität, also die Unabhängigkeit von IP-Providern und Protokollen erfordert allerdings, dass Arteris in das NoC Eco-System eingebunden ist. Dieses Eco-System umfasst unter anderem die großen IP-Provider wie ARM, MIPS, Tensilica, Synopsys und die Kompatibilität zum TSMC-Referenz Flow 11. Pläne für die Zukunft zielen bei Arteris auf die Berücksichtigung physikalischer Einschränkungen bei der NoC-Implementierung. Beispielsweise hat der Floor-Plan direkten Einfluss auf das Zeitverhalten. Eindrücklich wurde das von Plomion



Abbildung 3.23: Marcello Coppola von STMicroelectronics

anhand eines prototypischen NoC, das eine Crossbar Struktur ersetzt, dargestellt. Gegenüber der Crossbar-Struktur konnte Verdrahtung und damit Blockierungen beseitigt werden.

Coppola berichtete von STMicroelectronics klarem Bekenntnis zu NoC-Strukturen und stelle im weiteren Verlauf seiner Präsentation die STMicroelectronics -Entwicklung Spidergon STNoC vor. Zur Erreichung der bereits bei Arteris erwähnten NoC-Neutralität baut STMicroelectronics auf sogenannte Communication Primitives und Plattform Services, die ein Plug&Play von Chip-Komponenten unterschiedlicher Hersteller und die Verwendung unterschiedlicher Protokolle auf dem NoC ermöglichen. STMicroelectronics setzt bei seinen NoC Strukturen auf den „Global Asynchron, Lokal Synchron“ (GALS) Ansatz, bei dem sich die Kommunikation auf dem NoC innerhalb von Entwurfspartitionen synchron verhält. Zwischen den Entwurfspartitionen verläuft die Kommunikation dann asynchron. Unterschiedliche Konfigurationen mittels der sogenannten Adaptive Links ermöglichen Relaisstationen zur Unterbrechung langer Kommunikationswege, Spannungs- Frequenz oder Flit-Größen-Anpassungen. Dieses Konzept wurde unter anderem im CATRENE Projekt COMCAS (<http://www.comcas.eu/>) entwickelt.

Die Aufteilung des Entwurfs in Entwurfspartitionen mit jeweils eigenem Router ermöglicht das voneinander unabhängige Betreiben der Entwurfspartitionen. Diese könne unterschiedliche Spannungsversorgungen, oder Frequenzen haben oder im Bedarfsfall komplett deaktiviert werden. STMicroelectronics hat dieses NoC in einer Set-Top Box, die aus mehreren Chips besteht, integriert. Das NoC verbindet die Chips über Technologiegrenzen hinweg und verbindet in diesem Fall den digital und den analogen Teil miteinander.

Für die Zukunft sieht STMicroelectronics die Herausforderungen in der Implementierung von NoCs in 3D-Stacks. Diese werden im CATRENE Projekt 3DIM3 (<http://www.3dim3.eu/>) bearbeitet. Für die Details zum 3D Asynchronous NoC (ANOC) übergab Coppola das Rednerpult an den 3DIM3-Projektpartner CEA-LETI.



Abbildung 3.24: Dr. Fabien Clermidy von CEA-LETI

Clermidy konzentrierte sich auf ANOC-Architekturen für Embedded Systems für die Durchsatz und Low Power wesentliche Optimierungsziele sind. Bei den

3D-Stacks stellen technologische Möglichkeiten bei den Through-Silicon Vias (TSV) zur vertikalen Kontaktierung zwischen den Chips und durch die Wafer hindurch eine wesentliches Hindernis dar. Daher stellte Clermidy im weiteren Verlauf die Speicher-Interface Standards DDR3, LPDDR2 und Wide I/O vor, die in dieser Folge jeweils mehr Durchsatz (bis zu 12,8 GBps) und einen sinkenden Leistungsbedarf (bis zu 4 mW/ Gbps) ermöglichen, aber auch eine steigende Anzahl von TSVs benötigen. Wide I/O kommuniziert über eine 512-bit Schnittstelle. Die von Clermidy vorgestellte und im 3DIM3-Projekt entwickelte Alternative ANOC benötigte in einem Beispiel nur ca. 64 % der TSVs gegenüber Wide I/O und das beim 5-fachen Durchsatz und etwas geringerer Leistungsaufnahme. Zur weiteren Steigerung der Bandbreite ging Clermidy kurz auf optische und drahtlose NoCs als TSV-Ersatz ein. Die drahtlose Variante basiert auf induktiver und kapazitiver Kopplung. Für optische NoCs sieht Clermidy zunächst eine Anwendung mit High-Performance-Anforderungen beispielsweise im SuperComputing. Drahtlose Verbindungen haben seiner Meinung nach eine noch zu geringe Reife, als dass sie bald eingesetzt werden. Allerdings ist bei ihnen der große Vorteil die geringe Positionierungsgenauigkeit bei der Montage.



Abbildung 3.25: Ian O'Connor von der Ecole Centrale de Lyon

O'Connor wagte mit seinem Status zur optischen On-Chip-Kommunikation den weitesten Blick in die Zukunft. Im Gegensatz zum kostengetriebenen Übergang zur optischen Übertragung im Telekommunikationsbereich, in dem aufgrund der geringen Signaldämpfung nur noch alle 70–150 km ein Verstärker benötigt wurde und ganze Kupferkabelbündel durch eine Glasfaser eliminiert wurden, sieht O'Connor als treibenden Faktor auf dem Chip die Leistung. Seit 2010 sieht er die optische Signalübertragung auf dem Chip durch Fortschritte bei den Wellenleitern mit einer geringeren Dämpfung (<1 dB/cm) und geringem Schwellenstrom (< 100 uA) als realistische Option für künftige Produkte. Dabei werden Strecken in der Größenordnung von Zentimetern überbrückt werden. Interessant war der Vergleich zwischen elektrischer und optischer On-Chip-Kommunikation basierend auf eine Spice-Simulation, die O'Connor allerdings schon 2007 vorgestellt hat. Demnach kann die optische gegenüber der elektrischen Variante das 60 bis 90-fache der Gate-Fläche einsparen, die Übertragungsverzögerung um das 2 bis 3-fache reduzieren und die Gesamtleistung um

das 6 bis 10-fache reduzieren. Die Größenordnung der Einsparung hängt aber im Wesentlichen von der Art der Anwendung, der Netzwerk-Topologie, dem verwendeten Benchmark und von der Frage, ob optisch lediglich Signale übertragen oder auch eine optische Verarbeitung, z. B. mittels optischer Switches, stattfindet, ab. Die präsentierten Ergebnisse wurden unter anderem in den Projekten PICMOS (<http://picmos.intec.ugent.be/>), WADIMOS (<http://www.wadimos.eu/>) und HELIOS (<http://www.helios-project.eu/>) erzielt. Technologisch steht der optischen On-Chip-Kommunikation nichts im Weg. Demonstrationen der Machbarkeit gibt es viele. Auch O'Connor sieht die 3D-Technologien als Treiber für die optische On-Chip-Kommunikation. O'Connor endete mit dem Fazit und einem Augenzwinkern, dass es bis zur optischen On-Chip-Kommunikation nicht mehr allzu lange dauern wird.

Im Anschluss an die ausgedehnten Präsentationen der Diskussionsteilnehmer, blieb dann leider nur wenig Zeit für die Diskussion mit dem Publikum.

Ralf Pferdmeiges von Infineon interessierte, was man bei Intel in Bezug auf NoC unternimmt. Plomion und Clermidy waren sich einig, dass man zum einen bei Intel den Begriff NoC nicht verwendet, man spricht von Interconnects, um Begriffsüberschneidungen mit Rechner-Netzwerken zu vermeiden. Zudem werden Intel-eigene Protokolle verwendet und einer der NoC-Vorteile in Bezug auf Standardschnittstelle zu IP-Komponenten wird bei Intel nicht verfolgt. Plomion deutete an, dass es zahlreiche Probleme gibt mit Intel-IP kompatibel zu sein. Hinsichtlich der Topologie scheint Intel auf Ringe für 2D-Entwürfe zu bauen.

Mario Diaz-Nava von STMicroelectronics war der Meinung, dass die Topologie beim Thema NoC überbetont wird. Was wirklich zähle sei die Qualität und die Tool-Unterstützung für die Punkt-zu-Punkt-Kommunikation. Diese ist seiner Meinung nach nicht verfügbar. Plomion antwortete darauf, dass für die Arteris-Technologien Werkzeugunterstützung angeboten wird, die es ermög-



Abbildung 3.26: Mario Diaz-Nava von STMicroelectronics

licht, Eigenschaften verbindungspezifisch zwischen Master und Slave über den NoC einzustellen und die Kommunikation hinsichtlich unterschiedlicher Kriterien zu optimieren. Coppola betonte, dass die Methode „NoC“ eine konsistente Modellierung und Verfeinerung der Kommunikation zwischen den Abstraktionsebenen ermöglicht.

Auf die Frage von Pétrot nach dem Markt für NoC Produkte, antwortete Plomion, dass durch NoC-Strukturen potentiell ca. 5 Millionen Devices adressiert werden. Coppola ergänzte, dass bei STMicroelectronics die typische NoC-Anwendung im Multimediabereich lag und mittlerweile auch Automotive-Produkte auf NoC-Topologien bauen.

Die Diskussion endete mit dem Fazit, dass NoCs heute und in Zukunft in Produkten integriert sind. Wie allerdings die Zukunft für die physikalische Übertragung der NoCs aussieht, ist noch offen. Ideen gibt es mit elektrischer drahtgebundener oder drahtloser und optischer Übertragung genug. Damit und mit den bekannten Herausforderungen zur Kommunikationsoptimierung bieten NoC auch künftig genug Forschungspotential. Die Treiber für die NoC-Technologie sind klar: 3D-Stacking, Low Power, Standard-IP und die steigende Anzahl an Komponenten, die auf einem Chip integriert werden müssen. (AV)

Kont@kt:

Andreas Vörg
fon (05 11) 7 62 – 1 96 86,
voerg@edacentrum.de