

Bits&Chips

Tidbits

5,8 miljoen voor Europees sub-22-nanometeronderzoek

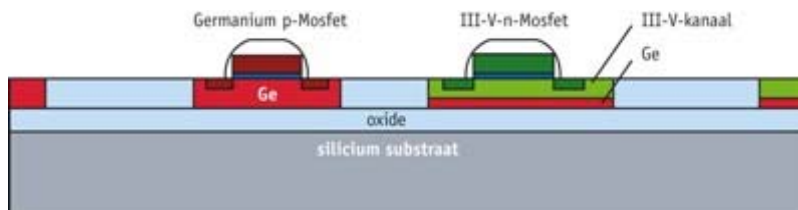
20 februari 2008

De Europese Commissie steekt 5,8 miljoen euro in het Duallogic-project, dat de mogelijkheid onderzoekt om germanium en III-V-halfgeleiders te combineren tot *high-performance* IC's. De andere deelnemers, onder wie *the usual suspects* CEA-Leti, IBM Zürich, Imec, NXP en STMicroelectronics, vullen de subsidie aan tot 9,1 miljoen euro. Het Griekse National Center for Scientific Research (NCRS) Demokritos is belast met de coördinatie van het zesendertig maanden durende project.

Complementary Metal-Oxide Semiconductor-technologie (CMos) staat tegenwoordig vrijwel gelijk aan chiptechnologie. Toch is het af en toe wel handig om eraan herinnerd te worden wat de constituerende woorden betekenen. De term 'metaaloxide' refereert aan de structuur van de bekendste veldeffecttransistor (Fet), waarbij een isolerend oxide de metalen stuur elektrode scheidt van het geleidende bron-afvoerkanaal. Decennialang vervulde siliciumdioxide deze rol als gatediëlektricum met verve, maar sinds vorig jaar heeft hafniumoxide het stokje (voorlopig) overgenomen. Het laagje siliciumdioxide werd zo dun dat het stroom lekte en de chipproductie leed onder oncontroleerbare procesvariaties.

De term 'complementair' verwijst niet naar de microstructuur van individuele transistoren, maar naar de manier waarop de veldeffecttransistoren aaneen zijn geschakeld. Er zijn vele mogelijkheden om dat te doen, maar CMos paart twee beschikbare (en complementaire) typen metaaloxidetransistoren: n-Mos en p-Mos. Het effect daarvan is een reductie van de ruis en een lager stroomverbruik.

De n- en p-Mos-transistoren verschillen van elkaar in de dotering van het bron-afvoerkanaal. In n-type halfgeleiders domineren elektronen, in het p-type juist de afwezigheid daarvan (zogenaamde gaten). Het is een van siliciums prettigste eigenschappen dat het zowel geschikt is voor n- als p-dotering, waardoor het de favoriet werd van de chipindustrie.



Het Europese Duallogic-consortium stelt voor om germanium en III-V-halfgeleiders te paren om superieur CMos te maken.

Maar aan alle goeds komt een einde. Als het isolerende gatediëlektricum rijp is voor vervanging, dan is ook het bron-afvoerkanaal niet veilig, moeten de deelnemers van Duallogic hebben gedacht. Zij stellen voor om silicium goeddeels in de ban te doen en n- en p-Mos elk van een ander materiaal te maken. Germanium zou de basis kunnen vormen voor de p-metaaloxidetransistoren, omdat germanium p-Mos beter presteert dan silicium. Samengestelde III-V-halfgeleiders zijn dan juist weer de superieure keuze voor n-Mos. Samen vormen ze een complementair paartje - met prestaties die superieur zijn aan die van silicium, zo is de gedachtegang van Duallogic.

Op dit moment kwalificeert *dual channel* CMos nog slechts als een van de mogelijke veranderingen in architectuur en materiaalkeuzen die nodig zijn om steeds snellere chips te blijven maken. Op zijn vroegst zou het idee op het 22-nanometerknooppunt kunnen worden gebruikt. Volgens projectleider Thanasis Dimoulas van NCRS Demokritos is het de bedoeling dat zijn project aansluit op Europese onderzoeken die wat minder ver kijken. Hij noemt met name Medea+, zijn opvolger Catrene en het Eniac Joint Technology Initiative. Duallogic valt zelf onder het Zevende Kaderprogramma.

Paul van Gerven

[Terug naar overzicht](#)

© Bits & Chips | Deze pagina op internet:

<http://www.bits-chips.nl/nieuws/bekijk/artikel/58-miljoen-voor-europees-sub-22-nanometeronderzoek.html>